



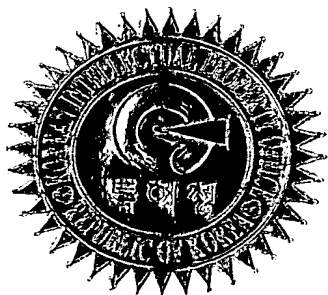
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0017598  
Application Number

출원년월일 : 2003년 03월 20일  
Date of Application

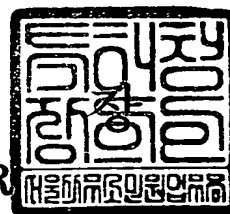
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      08      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.20
【발명의 명칭】	내부 전압 발생회로
【발명의 영문명칭】	Internal Voltage Generator
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김대환
【성명의 영문표기】	KIM,DAE HWAN
【주민등록번호】	721024-1019222
【우편번호】	449-912
【주소】	경기도 용인시 구성면 마북리 연원마을 벽산아파트 112-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	이태성
【성명의 영문표기】	LEE,TAE SUNG
【주민등록번호】	741123-1928018
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 잠실아파트 12동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	문병모
【성명의 영문표기】	MOON,BYOUNG MO
【주민등록번호】	720725-1642329

**【우편번호】** 140-111  
**【주소】** 서울특별시 용산구 원효로1가 27-64번지  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 17 면 17,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 27 항 973,000 원  
**【합계】** 1,019,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명의 내부 전압 발생회로를 공개한다. 이 회로는 기준 전압과 내부 전압을 비교하여 제1구동 신호를 출력하는 비교기, 제1구동 신호에 응답하여 내부 전압을 출력하는 내부 전압 구동부, 액티브 신호에 응답하고 내부 전압을 감지하여 제2구동 신호를 발생하는 내부 전압 감지부, 및 제2구동 신호에 응답하여 제1구동 신호의 레벨을 제어하는 오버 드라이빙 제어 트랜지스터로 구성되어 있다. 따라서, 액티브 신호가 활성화된 구간에서 내부 전압의 변화를 감시하여 내부 전압이 목표 전압을 넘어서면 오버 드라이빙 동작을 중지하고, 목표 전압내에 있으면 오버 드라이빙 동작을 수행하는 동작을 가변적으로 수행함으로써 외부 전원전압의 증가에 따라 내부 전압이 오버슈팅되는 것을 개선할 수 있다.

**【대표도】**

도 3

**【색인어】**

내부 전압 발생회로

**【명세서】****【발명의 명칭】**

내부 전압 발생회로{Internal Voltage Generator}

**【도면의 간단한 설명】**

도1은 종래의 내부 전압 발생회로의 일예의 구성을 나타내는 것이다.

도2는 종래의 내부 전압 발생회로의 액티브 신호(PACT)에 대한 내부 전압(VCCA)의 변화를 나타내는 그래프이다.

도3은 본 발명의 내부 전압 발생회로의 제1실시예의 구성을 나타내는 것이다.

도4는 도3에 나타난 내부 전압 발생회로의 내부 전압 감지기의 제1실시예의 구성을 나타내는 것이다.

도5는 도3에 나타난 본 발명의 내부 전압 발생회로의 내부 전압 감지기의 제2실시예의 구성을 나타내는 블록도이다.

도6은 도5에 나타난 내부 전압 발생회로의 내부 전압 감지기의 구체적인 실시예의 구성을 나타내는 것이다.

도7은 본 발명의 내부 전압 발생회로의 제2실시예의 구성을 나타내는 것이다.

도8은 도7에 나타난 내부 전압 발생회로의 전압 분배기의 실시예의 구성을 나타내는 것이다.

도9는 도3에 나타난 본 발명의 내부 전압 발생회로의 내부 전압(VCCA)과 신호(VA)의 변화를 시뮬레이션한 그래프이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 내부 전압 발생회로에 관한 것이다.
- <11> 종래의 반도체 메모리 장치의 내부 전압 발생회로는 크게 메모리 셀 어레이를 위한 내부 전압 발생회로와 메모리 셀 어레이의 주변 회로를 위한 내부 전압 발생회로로 구성된다.
- <12> 이들중 메모리 셀 어레이를 위한 내부 전압 발생회로는 비트 라인의 전압을 감지하여 내부 전압 레벨로 증폭하는 PMOS 비트 라인 센스 증폭기로 내부 전압을 공급한다.
- <13> 그리고, 종래의 반도체 메모리 장치의 메모리 셀 어레이를 위한 내부 전압 발생회로는 비트 라인 센싱 동작이 수행될 때 발생하는 내부 전압의 레벨 강하를 방지하기 위하여 오버 드라이빙 트랜지스터를 구비한다. 그래서, 비트 라인 센싱 동작이 수행되기 전에 내부 전압의 레벨을 상승하여 둌으로써 비트 라인 센싱 동작이 수행될 때 내부 전압의 레벨 강하가 방지되게 된다. 이에 따라, 비트 라인이 내부 전압 레벨로 빠르게 증폭될 수 있게 됨으로써, 리드 및 라이트 속도가 지연되지 않게 된다.
- <14> 도1은 종래의 내부 전압 발생회로의 일예의 구성을 나타내는 것으로, 내부 전압 발생회로(10)는 비교기(11), NMOS트랜지스터(N1), 및 PMOS트랜지스터(P1)로 구성되어 있다.

- <15> 도1에서, NMOS트랜지스터(N1)는 PMOS트랜지스터(P1)의 오버 드라이빙을 제어하기 위한 오버 드라이빙 제어 트랜지스터이고, PMOS트랜지스터(P1)는 내부 전압(VCCA)을 드라이빙하기 위한 드라이버이다.
- <16> 그리고, VREFA는 내부 전압(VCCA)을 위한 기준 전압을 나타내고, VEXT는 반도체 메모리 장치 외부로부터 인가되는 외부 전원전압을 나타내고, PACT는 액티브 신호로서, 반도체 메모리 장치로 액티브 명령이 인가되고, 비트 라인 센싱 동작이 수행되기 전에 발생하는 소정의 펄스폭을 가지는 펄스 신호이다.
- <17> 도1에 나타난 회로의 동작을 설명하면 다음과 같다.
- <18> 먼저, "로우"레벨의 액티브 신호(PACT)가 인가되어 NMOS트랜지스터(N1)가 오프되면 PMOS트랜지스터(P1)는 정상 드라이빙 동작을 수행하고, "하이"레벨의 액티브 신호(PACT)가 인가되어 NMOS트랜지스터(N1)가 온되면 PMOS트랜지스터(P1)는 오버 드라이빙 동작을 수행한다.
- <19> 정상 드라이빙 동작시에 내부 전압(VCCA)의 레벨이 기준 전압(VREFA)의 레벨보다 낮은 경우에, 비교기(11)는 기준 전압(VREFA)과 내부 전압(VCCA)을 비교하여 노드(A)의 전압을 낮춘다. 그러면, PMOS트랜지스터(P1)는 구동 능력이 향상되어 내부 전압(VCCA)의 레벨을 높인다.
- <20> 반면에, 정상 드라이빙 동작시에 내부 전압(VCCA)의 레벨이 기준 전압(VREFA)의 레벨보다 높은 경우에, 비교기(10)는 기준 전압(VREFA)과 내부 전압(VCCA)을 비교하여 노드(A)의 전압을 높인다. 그러면, PMOS트랜지스터(P1)의 구동 능력이 낮아져서 내부 전압(VCCA)의 레벨을 낮춘다.

- <21> 내부 전압 발생회로는 정상 드라이빙 동작시에 상술한 바와 같은 동작을 반복적으로 수행함에 의해서 내부 전압(VCCA)을 기준 전압(VREFA) 레벨로 유지한다.
- <22> 그리고, 오버 드라이빙 동작시에는 NMOS트랜지스터(N1)가 온되어 노드(A)의 레벨을 정상 드라이빙 동작시보다 더 낮춘다. 그러면, PMOS트랜지스터(P1)의 구동 능력이 정상 드라이빙 동작시보다 더 향상되어 내부 전압(VCCA)의 레벨을 기준 전압(VREFA) 레벨보다 더 높은 레벨로 오버 드라이빙한다.
- <23> 그런데, 이때, 외부 전원전압(VEXT)의 레벨이 높아지게 되면 PMOS트랜지스터(P1)의 게이트와 소스사이의 전압 차가 커져서 PMOS트랜지스터(P1)의 구동 능력이 필요 이상으로 향상되게 되어 내부 전압(VCCA)의 레벨이 오버슈팅되게 된다. 즉, 내부 전압(VCCA)의 레벨이 오버 드라이빙하기를 원하는 전압(이하, 목표 전압)보다 훨씬 높은 전압 레벨까지 높아지게 된다.
- <24> 이와같이 내부 전압(VCCA)의 레벨이 목표 전압이상으로 오버슈팅되게 되면 비트 라인 전압 레벨이 높아지고, 이로 인하여 라이트 및 리드 동작시에 센싱 타임이 지연되어 데이터 라이트 및 리드 속도가 지연되게 된다는 문제점이 있다.
- <25> 도2는 종래의 내부 전압 발생회로의 액티브 신호(PACT)에 대한 내부 전압(VCCA)의 변화를 나타내는 그래프로서, 실선은 정상적으로 오버 드라이빙 동작이 수행된 경우를, 점선은 목표 전압이상으로 오버슈팅이 발생한 경우를 나타낸다.
- <26> 도2에 나타낸 바와 같이, 액티브 신호(PACT)가 소정의 펄스폭을 가지고 발생하는 경우에, 낮은 레벨의 외부 전원전압(VEXT)이 인가되면 실선으로 나타낸 바와 같이 기준 전압(VREFA) 레벨을 유지하던 내부 전압(VCCA)이 전압( $\Delta$ )만큼 오버 드라이빙되어 목표



전압(VREFA+ $\Delta$ )에 도달하게 된다. 그러나, 높은 레벨의 외부 전원전압(VEXT)이 인가되면 점선으로 나타낸 바와 같이 기준 전압(VREFA) 레벨을 유지하던 내부 전압(VCCA)이 목표 전압(VREFA+ $\Delta$ )을 넘어선 전압 레벨까지 높아지게 되는 오버슈팅이 발생한다. 이로 인해 서, 비트 라인 센싱 동작시에 내부 전압(VCCA)의 레벨이 기준 전압(VREFA) 레벨로 내려가지 못하고 전압( $\delta$ )만큼 높은 레벨을 유지하게 된다.

- <27> 상술한 바와 같이 종래의 내부 전압 발생회로는 외부 전원전압(VEXT)의 레벨이 높아지게 되면 오버 드라이빙 동작시에 목표 전압이상으로 오버슈팅이 발생하여 내부 전압이 기준 전압 레벨보다 높아지게 된다. 따라서, 비트 라인 센싱 동작시에 센싱 타임이 증가하여 데이터 라이트 및 리드 속도가 지연되게 된다.

**【발명이 이루고자 하는 기술적 과제】**

- <28> 본 발명의 목적은 오버 드라이빙 동작시에 외부 전원전압의 레벨이 높아지더라도 내부 전압 레벨의 오버슈팅을 개선할 수 있는 내부 전압 발생회로를 제공하는데 있다.

**【발명의 구성 및 작용】**

- <29> 이와같은 목적을 달성하기 위한 본 발명의 내부 전압 발생회로의 제1형태는 기준 전압과 내부 전압을 비교하여 제1구동 신호를 출력하는 비교수단, 상기 제1구동 신호에 응답하여 상기 내부 전압을 출력하는 내부 전압 구동수단, 액티브 신호에 응답하고 상기 내부 전압을 감지하여 제2구동 신호를 발생하는 내부 전압 감지수단, 및 상기 제2구동 신호에 응답하여 상기 제1구동 신호의 레벨을 제어하는 오버 드라이빙 제어수단을 구비하는 것을 특징으로 한다.

- <30>      상기 제1형태의 내부 전압 발생회로의 상기 내부 전압 감지수단은 상기 액티브 신호가 비활성화되면 상기 제2구동 신호를 비활성화하고, 상기 액티브 신호가 활성화되고 상기 내부 전압이 목표 전압내에 있으면 상기 제2구동 신호를 활성화하고, 상기 내부 전압이 목표 전압을 넘어서면 상기 제2구동 신호를 비활성화하는 것을 특징으로 한다.
- <31>      그리고, 이와같은 목적을 달성하기 위한 본 발명의 내부 전압 발생회로의 제2형태는 기준 전압과 내부 전압을 비교하여 제1구동 신호를 출력하는 제1비교수단, 상기 제1구동 신호에 응답하여 상기 내부 전압을 출력하는 내부 전압 구동수단, 상기 액티브 신호에 응답하여 상기 내부 전압을 분배하여 분배된 전압을 발생하는 전압 분배수단, 상기 분배된 전압과 상기 기준 전압을 비교하여 상기 제2구동 신호를 발생하는 제2비교수단, 및 상기 제2구동 신호에 응답하여 상기 제1구동 신호의 레벨을 제어하는 오버 드라이빙 제어수단을 구비하는 것을 특징으로 한다.
- <32>      상기 제2형태의 내부 전압 발생회로의 상기 전압 분배수단은 상기 액티브 신호가 비활성화되면 상기 내부 전압을 입력하여 출력하고, 상기 액티브 신호가 활성화되면 상기 내부 전압을 분배하여 상기 내부 전압이 목표 전압내에 있으면 상기 기준 전압보다 낮은 상기 분배된 전압을 발생하고, 상기 내부 전압이 상기 목표 전압을 벗어나면 상기 기준 전압보다 높은 상기 분배된 전압을 발생하는 것을 특징으로 하고,
- <33>      상기 제2형태의 내부 전압 발생회로의 상기 제2비교수단은 상기 액티브 신호가 비활성화되면 상기 제2구동 신호를 비활성화하고, 상기 액티브 신호가 활성화되면 상기 기준 전압과 상기 분배된 전압을 비교하여 상기 분배된 전압이 상기 기준 전압보다 낮으면 상기 제2구동 신호를 활성화하고, 상기 분배된 전압이 상기 기준 전압보다 높으면 상기 제2구동 신호를 비활성화하는 것을 특징으로 한다.

- <34> 또한, 이와같은 목적을 달성하기 위한 본 발명의 내부 전압 발생회로의 제3형태는 기준 전압과 비교 전압을 비교하여 제1구동 신호를 출력하는 비교수단, 상기 제1구동 신호에 응답하여 내부 전압을 출력하는 내부 전압 구동수단, 및 정상 드라이빙 동작시에는 상기 내부 전압을 입력하여 상기 비교 전압을 발생하고, 오버 드라이빙 동작시에는 액티브 신호에 응답하여 상기 내부 전압을 분배하여 분배된 내부 전압을 상기 비교 전압으로 발생하는 전압 분배수단을 포함하는 것을 특징으로 한다.
- <35> 상기 제3형태의 내부 전압 발생회로의 상기 전압 분배수단은 상기 액티브 신호가 비활성화되면 상기 내부 전압을 입력하여 상기 비교 전압으로 출력하고, 상기 액티브 신호가 활성화되면 상기 내부 전압을 분배하여 상기 내부 전압이 목표 전압내에 있으면 상기 기준 전압보다 낮은 상기 분배된 전압을 발생하고, 상기 내부 전압이 상기 목표 전압을 벗어나면 상기 기준 전압보다 높은 상기 분배된 전압을 발생하는 것을 특징으로 한다.
- <36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <37> 이하, 첨부한 도면을 참조하여 본 발명의 내부 전압 발생회로를 설명하면 다음과 같다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <38> 도3은 본 발명의 내부 전압 발생회로의 제1실시예의 구성을 나타내는 것으로, 내부 전압 발생회로(20)는 비교기(11), NMOS트랜지스터(N1), PMOS트랜지스터(P1), 및 내부 전압 감지기(21)로 구성되어 있다.

- <39> 도3에서, 도1에 나타낸 구성과 동일 참조부호로 나타낸 구성은 도1에 나타낸 구성과 동일한 기능을 수행하므로 도1의 설명을 참고로 하면 쉽게 이해될 것이다.
- <40> 도3에서, 내부 전압 감지기(21)는 액티브 신호(PACT)에 응답하여 내부 전압(VCCA)을 감지하고, 내부 전압(VCCA)의 레벨이 목표 전압내에 있으면 신호(VA)를 활성화하고, 내부 전압(VCCA)의 레벨이 목표 전압을 벗어나면 신호(VA)를 비활성화한다. 즉, 내부 전압 감지기(21)는 액티브 신호(PACT)가 비활성화되면 "로우"레벨의 신호(VA)를 발생하고, 액티브 신호(PACT)가 활성화되면 내부 전압(VCCA)의 레벨을 감지하여 내부 전압(VCCA)의 레벨이 목표 전압내에 있으면 "하이"레벨의 신호(VA)를 발생하고, 내부 전압(VCCA)의 레벨이 목표 전압을 벗어나면 "로우"레벨의 신호(VA)를 발생한다.
- <41> 도3에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <42> 먼저, "로우"레벨의 액티브 신호(PACT)가 발생되면 내부 전압 감지기(21)는 "로우"레벨의 신호(VA)를 발생하고, NMOS트랜지스터(N1)는 오프된다. 이 상태에서, 내부 전압 발생회로(20)는 도1에 나타낸 회로와 마찬가지로 내부 전압(VCCA) 레벨을 기준 전압(VREF) 레벨로 유지하기 위한 정상 드라이빙 동작을 수행한다.
- <43> 그리고, "하이"레벨의 액티브 신호(PACT)가 발생되면 내부 전압 감지기(21)는 내부 전압(VCCA)의 레벨을 감지하여 내부 전압(VCCA) 레벨이 목표 전압내에 있으면 "하이"레벨의 신호(VA)를 발생하고, 이에 따라 NMOS트랜지스터(N1)는 온된다. 그러면, 노드(A)의 레벨이 정상 드라이빙 동작시보다 더 낮아져서 PMOS트랜지스터(P1)의 구동 능력이 정상 드라이빙 동작시보다 더 향상되어 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하게 된다. 그런데, 이때, 내부 전압(VCCA)의 레벨이 목표 전압을 벗어나게 되면 내부 전압

감지기(21)는 "로우"레벨의 신호(VA)를 발생하고, 이에 따라 NMOS트랜지스터(N1)가 오프된다. 그러면, PMOS트랜지스터(P1)의 구동 능력이 정상 드라이빙 동작시의 구동 능력으로 낮아지게 되어 오버 드라이빙 동작을 중지하게 된다.

<44> 즉, 도3에 나타낸 내부 전압 감지기(21)는 액티브 신호(PACT)가 활성화된 상태에서 내부 전압(VCCA)의 레벨을 감시하여 목표 전압내에 있으면 NMOS트랜지스터(N1)를 온하여 오버 드라이빙 동작을 수행하고, 목표 전압을 벗어나면 NMOS트랜지스터(N1)를 오프하여 오버 드라이빙 동작을 중지한다.

<45> 도4는 도3에 나타낸 내부 전압 발생회로의 내부 전압 감지기의 제1실시예의 구성을 나타내는 것으로, 내부 전압 감지기(21)는 인버터들(I1, I2), PMOS트랜지스터들(P2, P3), NMOS트랜지스터들(N2, N3), 및 저항(R1)으로 구성되어 있다.

<46> 도4에서, 인버터들(I1, I2) 각각의 전원전압으로 내부 전압(VCCA)가 인가되어 구성되어 있다.

<47> 도4에 나타낸 내부 전압 감지기를 구성하는 구성 요소들 각각의 기능을 설명하면 다음과 같다.

<48> 인버터(I1)는 액티브 신호(PACT)를 반전하여 반전 액티브 신호(PACTB)를 발생한다. 인버터(I2)는 반전 액티브 신호(PACTB)를 반전한다. PMOS트랜지스터(P2)는 인버터(I2)의 출력 신호의 전압 레벨을 PMOS트랜지스터(P2)의 문턱전압(VTP) 레벨만큼 낮춘다. PMOS트랜지스터(P2)와 저항(R1)은 인버터(I2)의 출력 신호의 전압을 분배하여 노드(B)로 분배된 전압을 발생한다. NMOS트랜지스터(N2)는 노드(B)의 전압 레벨이 NMOS트랜지스터(N2)의 문턱전압(VTN)보다 크면 온되고, 작으면 오프된다. 그리고, PMOS트랜지스터(P3)

는 "로우"레벨의 반전 액티브 신호(PACTB)에 응답하여 온되어 노드(B)의 전압 레벨을 상승한다. NMOS트랜지스터(N3)는 "하이"레벨의 반전 액티브 신호(PACTB)에 응답하여 온되어 정상 드라이빙 동작시에 신호(VA)가 플로팅되는 것을 방지한다.

<49> 도4에 나타난 내부 전압 발생회로의 내부 전압 감지기의 동작을 설명하면 다음과 같다.

<50> "로우"레벨의 액티브 신호(PACT)가 인가되면 인버터(I1)는 "하이"레벨의 신호를 발생한다. 이에 따라, PMOS트랜지스터(P3)가 오프되고, NMOS트랜지스터(N3)가 온되어 "로우"레벨의 신호(VA)를 발생한다. 그러면, NMOS트랜지스터(N1)가 오프되고, PMOS트랜지스터(P1)는 비교기(11)의 출력신호에 응답하여 정상 드라이빙 동작을 수행한다.

<51> "하이"레벨의 액티브 신호(PACT)가 인가되면 인버터(I1)는 "로우"레벨의 신호를 발생한다. 이에 따라, PMOS트랜지스터(P3)가 온되어 "하이"레벨의 신호(VA)를 발생한다. 그리고, "하이"레벨의 신호(VA)에 응답하여 NMOS트랜지스터(N1)가 온되어 노드(A)의 전압 레벨을 낮추게 된다. 그러면, PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하게 된다.

<52> 그리고, 인버터(I2)는 "하이"레벨의 신호를 발생한다. 이때, 인버터(I2)의 출력 전압의 레벨은 내부 전압(VCCA) 레벨이 된다. PMOS트랜지스터(P2)와 저항(R1)은 내부 전압(VCCA) 레벨을 전압 분배하여 노드(B)로 분배된 전압을 발생한다. NMOS트랜지스터(N2)는 노드(B)의 전압 레벨이 NMOS트랜지스터(N2)의 문턱전압(VTN)보다 낮으면(즉, 내부 전압(VCCA)의 레벨이 목표 전압내에 있으면) 오프되어 "하이"레벨의 신호(VA)를 유지한다. 그러면, NMOS트랜지스터(N1)에 의한 노드(A)의 전압 감소가 계속되어 PMOS트랜지

스터(P1)의 구동 능력을 계속적으로 높인다. 즉, PMOS트랜지스터(P1)는 오버 드라이빙 동작을 계속적으로 수행한다.

<53>       반면에, NMOS트랜지스터(N2)는 노드(B)의 전압 레벨이 NMOS트랜지스터(N2)의 문턱 전압(V<sub>TH</sub>)보다 높으면(즉, 내부 전압(V<sub>CCA</sub>)의 레벨이 목표 전압을 벗어나면) 온되어 신호(V<sub>A</sub>)의 전압 레벨을 낮춘다. 그러면, NMOS트랜지스터(N1)에 의한 노드(A)의 전압 감소가 줄어들게 되어 PMOS트랜지스터(P1)의 구동 능력이 정상 드라이빙 동작시의 구동 능력으로 낮아지게 된다. 이에 따라, PMOS트랜지스터(P1)는 오버 드라이빙 동작을 중지하게 된다.

<54>       즉, 도4에 나타낸 내부 전압 감지기는 "하이"레벨의 액티브 신호(PACT)가 발생하는 경우에도 오버 드라이빙 동작의 제어가 가능하여 내부 전압(V<sub>CCA</sub>)의 레벨이 목표 전압내에 있으면 NMOS트랜지스터(N2)를 온하여 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하도록 하고, 내부 전압(V<sub>CCA</sub>)의 레벨이 목표 전압을 벗어나면 NMOS트랜지스터(N2)를 오프하여 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하지 않도록 함으로써 내부 전압(V<sub>CCA</sub>) 레벨의 오버슈팅을 방지한다.

<55>       도5는 도3에 나타낸 본 발명의 내부 전압 발생회로의 내부 전압 감지기의 제2실시예의 구성을 나타내는 블록도로서, 내부 전압 감지기(21)는 전압 분배기(22)와 전압 비교기(23)로 구성되어 있다.

<56>       도5에 나타낸 내부 전압 감지기의 블록들 각각의 기능을 설명하면 다음과 같다.

- <57> 전압 분배기(22)는 액티브 신호(PACT)에 응답하여 내부 전압(VCCA)을 분배한다. 전압 비교기(23)는 전압 분배기(22)에 의해서 분배된 전압과 기준 전압(VREFA)을 비교하여 신호(VA)를 발생한다.
- <58> 도5에 나타난 내부 전압 감지기의 동작을 설명하면 다음과 같다.
- <59> "로우"레벨의 액티브 신호(PACT)가 발생되면 전압 분배기(22)는 전압 분배 동작을 수행하지 않게 된다. 전압 비교기(23)는 "로우"레벨의 액티브 신호(PACT)에 응답하여 "로우"레벨의 신호(VA)를 발생한다. 따라서, NMOS트랜지스터(N1)가 오프되고 PMOS트랜지스터(P1)는 정상 드라이빙 동작을 수행하게 된다.
- <60> 그리고, "하이"레벨의 액티브 신호(PACT)가 발생되면 전압 분배기(22)는 내부 전압(VCCA)을 분배하여 분배된 전압을 발생한다. 내부 전압(VCCA)이 목표 전압내에 있으면 기준 전압(VREFA)보다 낮은 레벨의 분배된 전압을 발생하고, 목표 전압을 벗어나게 되면 전압 분배기(22)는 기준 전압(VREFA)보다 높은 레벨의 분배된 전압을 발생한다. 전압 비교기(23)는 분배된 전압과 기준 전압(VREFA)을 비교하여 분배된 전압이 기준 전압(VREFA)보다 낮으면 "하이"레벨의 신호(VA)를 발생하고, 기준 전압(VREFA)보다 높으면 "로우"레벨의 신호(VA)를 발생한다.
- <61> 따라서, 내부 전압 감지기(21)는 내부 전압(VCCA)이 목표 전압내에 있으면 "하이"레벨의 신호(VA)를 발생하여 NMOS트랜지스터(N1)을 온함으로써 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하도록 하고, 내부 전압(VCCA)이 목표 전압을 벗어나게 되면 "로우"레벨의 신호(VA)를 발생하여 NMOS트랜지스터(N1)을 오프함으로써 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 중지하도록 한다.



- <62> 도6은 도5에 나타낸 내부 전압 발생회로의 내부 전압 감지기의 구체적인 실시예의 구성을 나타내는 것으로, 전압 분배기(22)는 저항들(R2, R3), 및 NMOS트랜지스터(N4)로 구성되고, 전압 비교기(23)는 비교기(COM), 인버터(I3), 및 NMOS트랜지스터(N5)로 구성되어 있다. 저항들(R2,R3)은 MOS트랜지스터로도 구현 가능하다.
- <63> 도6에서, 인버터(I3)의 전원전압으로 내부 전압(VCCA)이 인가되어 구성되어 있다.
- <64> 도6에 나타낸 내부 전압 감지기를 구성하는 구성 요소들 각각의 기능을 설명하면 다음과 같다.
- <65> NMOS트랜지스터(N4)는 "하이"레벨의 액티브 신호(PACT)에 응답하여 온된다. 저항들(R2, R3)는 NMOS트랜지스터(N4)가 온되면 내부 전압(VCCA)을 분배하여 노드(C)로 분배된 전압을 발생한다. 비교기(COM)는 기준 전압(VREFA)과 분배된 전압을 비교하여 신호(VA)를 발생한다. 인버터(I3)는 액티브 신호(PACT)를 반전하여 반전 액티브 신호(PACTB)를 발생한다. NMOS트랜지스터(N5)는 "하이"레벨의 반전 액티브 신호(PACTB)에 응답하여 온되어 "로우"레벨의 신호(VA)를 발생한다. NMOS트랜지스터(N5)는 정상 드라이빙 동작시에 신호(VA)가 플로팅되는 것을 방지한다.
- <66> 도6에 나타낸 내부 전압 감지기의 동작을 설명하면 다음과 같다.
- <67> "로우"레벨의 액티브 신호(PACT)가 인가되면 인버터(I3)는 하이"레벨의 반전 액티브 신호(PACTB)를 발생한다. 이에 따라, NMOS트랜지스터(N5)가 온되어 "로우"레벨의 신호(VA)를 발생한다. 그러면, NMOS트랜지스터(N1)가 오프되어, PMOS트랜지스터(P1)는 정상 드라이빙 동작을 수행하게 된다.

<68> "하이"레벨의 액티브 신호(PACT)가 인가되면 NMOS트랜지스터(N4)가 온되어 전압 분배기(22)는 노드(C)로 저항들(R2, R3)에 의해서 분배된 전압을 발생한다. 전압 분배기(22)는 내부 전압(VCCA)의 레벨이 목표 전압내에 있으면 기준 전압(VREFA)보다 낮은 분배된 전압을 노드(C)로 발생하고, 목표 전압을 벗어나면 기준 전압(VREFA)보다 높은 분배된 전압을 노드(C)로 발생한다. 인버터(I3)는 "로우"레벨의 반전 액티브 신호(PACTB)를 발생하고, 이에 따라 NMOS트랜지스터(N5)는 오프된다. 비교기(COM)는 노드(C)의 전압과 기준 전압(VREFA)을 비교하여 노드(C)의 전압이 기준 전압(VREFA)보다 낮으면 "하이"레벨의 신호(VA)를 발생하고, 높으면 "로우"레벨의 신호를 발생한다. "하이"레벨의 신호(VA)가 발생되면 NMOS트랜지스터(N1)가 온되어 PMOS트랜지스터(P1)는 오버 드라이빙 동작을 수행하게 되고, "로우"레벨의 신호(VA)가 발생되면 NMOS트랜지스터(N1)가 오프되어 PMOS트랜지스터(P1)는 오버 드라이빙 동작을 중지하게 된다.

<69> 도7은 본 발명의 내부 전압 발생회로의 제2실시예의 구성을 나타내는 것으로, 내부 전압 발생회로(30)는 비교기(11), PMOS트랜지스터(P1), 및 전압 분배기(31)로 구성되어 있다.

<70> 도7에 나타난 내부 전압 발생회로는 NMOS트랜지스터(N1)를 사용하지 않고, 전압 분배기(31)를 사용하여 비교기(11)로 인가되는 신호(VC)의 전압 레벨을 조절함으로써 오버 드라이빙 동작을 제어한다.

<71> 도7에 나타난 내부 전압 발생회로의 동작을 설명하면 다음과 같다.

<72> "로우"레벨의 액티브 신호(PACT)가 인가되면 전압 분배기(31)는 내부 전압(VCCA)을 전압(VC)으로 발생한다. 비교기(11)는 전압(VC)이 기준 전압(VREFA)보다 낮으면 출력 전압의 레벨을 낮추고 기준 전압(VREFA)보다 높으면 출력 전압의 레벨을 높이는 동작을 반

복적으로 수행한다. PMOS트랜지스터(P1)는 비교기(11)의 출력 전압에 의해서 정상 드라이빙 동작을 수행하여 내부 전압(VCCA)의 레벨을 기준 전압(VREFA) 레벨로 유지한다.

<73> "하이"레벨의 액티브 신호(PACT)가 인가되면, 전압 분배기(31)는 내부 전압(VCCA)을 분배한 전압을 전압(VC)으로 발생한다. 전압 분배기(31)는 내부 전압(VCCA)이 목표 전압내에 있으면 내부 전압(VCCA)을 분배하여 정상 드라이빙 동작시보다 더 낮은 레벨의 전압(VC)을 발생하고, 목표 전압을 벗어나면 내부 전압(VCCA)을 분배하여 기준 전압(VREFA)보다 높은 레벨의 전압(VC)을 발생한다. 비교기(11)는 정상 동작시보다 더 낮은 레벨의 전압(VC)이 입력되면 정상 동작시보다 더 낮은 레벨의 출력 전압을 발생하여 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행하게 하고, 기준 전압(VREFA)보다 높은 레벨의 전압(VC)이 입력되면 출력 전압의 레벨을 높여 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 중지하게 한다.

<74> 도8은 도7에 나타낸 내부 전압 발생회로의 전압 분배기의 실시예의 구성을 나타내는 것으로, 전압 분배기(31)는 저항들(R4, R5), 및 NMOS트랜지스터(N6)로 구성되어 있다.

<75> 도8에 나타낸 전압 분배기의 동작을 설명하면 다음과 같다.

<76> "로우"레벨의 액티브 신호(PACT)가 인가되면 NMOS트랜지스터(N6)가 오프되고, 전압 분배기(31)는 내부 전압(VCCA)을 전압(VC)으로 출력한다.

<77> "하이"레벨의 액티브 신호(PACT)가 인가되면 NMOS트랜지스터(N6)가 온되어 전압 분배기(31)는 저항(R4)와 저항(R5)에 의해서 분배된 전압(VC)을 발생한다. 이때, 전압 분배기(31)로부터 출력되는 전압(VC)은 내부 전압(VCCA)이 목표 전압내에 있으면 정상 드

라이빙 동작시의 전압(VC)보다 낮은 전압을 발생하고, 내부 전압(VCCA)이 목표 전압을 벗어나면 기준 전압(VREFA)보다 높은 전압을 발생한다. 이는 전압 분배기(31)의 저항들(R4, R5)의 값을 적절하게 조절함에 의해서 가능하게 된다. 저항들(R4, R5)은 MOS트랜지스터로도 구현 가능하다.

<78> 따라서, 도8에 나타낸 내부 전압 발생회로는 액티브 신호(PACT)가 활성화된 상태에서, 내부 전압(VCCA)이 목표 전압내에 있으면 오버 드라이빙 동작을 수행하고, 목표 전압을 벗어나면 오버 드라이빙 동작을 중지한다.

<79> 도9는 도3에 나타낸 본 발명의 내부 전압 발생회로의 내부 전압(VCCA)과 신호(VA)의 변화를 시뮬레이션한 그래프이다.

<80> 도9에 나타낸 그래프는 내부 전압 발생회로의 기준 전압(VREFA)이 약 1.6V, 목표 전압( $1.6 + \Delta (=0.4V)$ )이 약 2.0V로 설계되고, 약 4V의 높은 외부 전원전압(VEXT)이 인가되고 "하이"레벨의 액티브 신호(PACT)가 발생하는 경우의 내부 전압(VCCA)과 신호(VA)의 변화를 나타낸다.

<81> "하이"레벨의 액티브 신호(PACT)가 발생되면, 신호(VA)가 "하이"레벨로 천이한다. 그러면, 도3에 나타낸 NMOS트랜지스터(N1)가 온되어 PMOS트랜지스터(P1)가 오버 드라이빙 동작을 수행한다. 그러면, 내부 전압(VCCA)의 레벨이 높아지게 된다.

<82> 내부 전압(VCCA)의 레벨이 목표 전압을 벗어나면 신호(VA)가 "로우"레벨로 천이하게 되고, 이에 따라, 도3에 나타낸 NMOS트랜지스터(N1)가 오프되어 PMOS트랜지스터(P1)는 오버 드라이빙 동작을 중지한다. 그러면, 내부 전압(VCCA)의 레벨이 낮아지게 된다.

- <83> 그리고, 내부 전압(VCCA)의 레벨이 목표 전압이하로 떨어지면 신호(VA)가 다시 "하이"레벨로 천이하게 된다. 그러면, 도3에 나타낸 NMOS트랜지스터(N1)가 다시 온되어 PMOS트랜지스터(P1)는 오버 드라이빙 동작을 다시 수행한다.
- <84> 도9에 나타낸 그래프로부터 알 수 있듯이, 본 발명의 내부 전압 발생회로는 액티브 신호가 활성화된 구간에서 오버 드라이빙 동작을 계속적으로 수행하는 것이 아니라, 내부 전압의 레벨이 목표 전압내에 있으면 오버 드라이빙 동작을 수행하고, 목표 전압이상으로 오버 드라이빙되어 오버슈팅이 되면 오버 드라이빙 동작을 중지하는 것이 가능하다.
- <85> 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

- <86> 본 발명의 내부 전압 발생회로는 액티브 신호가 활성화된 구간에서 내부 전압의 변화를 감시하여 내부 전압이 목표 전압을 넘어서면 오버 드라이빙 동작을 중지하고, 목표 전압내에 있으면 오버 드라이빙 동작을 수행하는 동작을 가변적으로 수행함으로써 외부 전원전압이 증가하더라도 내부 전압이 오버슈팅되는 것을 개선할 수 있다.
- <87> 따라서, 본 발명의 내부 전압 발생회로가 적용되는 반도체 메모리 장치의 비트 라인 센싱 속도가 개선되어 데이터 리드 및 라이트 속도가 지연되지 않게 된다.



1020030017598

출력 일자: 2003/8/8

**【특허청구범위】****【청구항 1】**

기준 전압과 내부 전압을 비교하여 제1구동 신호를 출력하는 비교수단;

상기 제1구동 신호에 응답하여 상기 내부 전압을 출력하는 내부 전압 구동수단;

액티브 신호에 응답하고 상기 내부 전압을 감지하여 제2구동 신호를 발생하는 내부 전압 감지수단; 및

상기 제2구동 신호에 응답하여 상기 제1구동 신호의 레벨을 제어하는 오버 드라이빙 제어수단을 구비하는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 2】**

제1항에 있어서, 상기 내부 전압 구동수단은

PMOS트랜지스터로 구성되는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 3】**

제1항에 있어서, 상기 오버 드라이빙 제어수단은

상기 비교회로의 출력단에 연결된 드레인과 상기 제2구동 신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터로 구성되는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 4】**

제1항에 있어서, 상기 액티브 신호는

소정의 펄스폭을 가진 펄스 신호임을 특징으로 하는 내부 전압 발생회로.

**【청구항 5】**

제1항에 있어서, 상기 내부 전압 감지수단은

상기 액티브 신호가 비활성화되면 상기 제2구동 신호를 비활성화하고, 상기 액티브 신호가 활성화되고 상기 내부 전압이 목표 전압내에 있으면 상기 제2구동 신호를 활성화하고, 상기 내부 전압이 목표 전압을 넘어서면 상기 제2구동 신호를 비활성화하는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 6】**

제5항에 있어서, 상기 내부 전압 감지수단은

상기 내부 전압과 접지전압사이에 연결되고 상기 액티브 신호를 반전하여 반전 액티브 신호를 발생하는 제1인버터;

상기 내부 전압과 접지전압사이에 연결되고 상기 반전 액티브 신호를 반전하는 제2인버터;

상기 제2인버터의 출력신호를 수신하여 제1전압을 출력하는 제1전압 발생회로;

상기 내부 전압에 연결되고 상기 제1인버터의 출력신호에 응답하여 상기 제2구동 신호를 활성화하는 제1트랜지스터;

접지전압에 연결되고 상기 제1전압이 소정 전압을 넘어서면 온되어 상기 제2구동 신호를 비활성화하는 제2트랜지스터; 및

상기 반전 액티브 신호에 응답하여 상기 제2구동 신호를 비활성화하는 스위칭 트랜지스터를 구비하는 것을 특징으로 하는 내부 전압 발생회로.



**【청구항 7】**

제6항에 있어서, 상기 제1트랜지스터는

상기 내부 전압이 인가되는 소스와 상기 반전 액티브 신호가 인가되는 게이트와 상기 제2구동 신호를 발생하는 드레인을 가진 PMOS트랜지스터인 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 8】**

제6항에 있어서, 상기 제2트랜지스터는

상기 접지전압이 인가되는 소스와 상기 제1전압이 인가되는 게이트와 상기 제2구동 신호를 발생하는 드레인을 가진 NMOS트랜지스터인 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 9】**

제6항에 있어서, 상기 스위칭 트랜지스터는

상기 반전 액티브 신호가 인가되는 게이트와 접지전압에 연결된 소스와 상기 제2구동 신호를 발생하는 드레인을 가진 NMOS트랜지스터인 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 10】**

기준 전압과 내부 전압을 비교하여 제1구동 신호를 출력하는 제1비교수단;

상기 제1구동 신호에 응답하여 상기 내부 전압을 출력하는 내부 전압 구동수단;

상기 액티브 신호에 응답하여 상기 내부 전압을 분배하여 분배된 전압을 발생하는 전압 분배수단;

상기 분배된 전압과 상기 기준 전압을 비교하여 상기 제2구동 신호를 발생하는 제2비교수단; 및

상기 제2구동 신호에 응답하여 상기 제1구동 신호의 레벨을 제어하는 오버 드라이빙 제어수단을 구비하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 11】

제10항에 있어서, 상기 내부 전압 구동수단은

PMOS트랜지스터로 구성되는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 12】

제10항에 있어서, 상기 오버 드라이빙 제어수단은

상기 비교회로의 출력단에 연결된 드레인과 상기 제2구동 신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터로 구성되는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 13】

제10항에 있어서, 상기 액티브 신호는

소정의 펄스폭을 가진 펄스 신호임을 특징으로 하는 내부 전압 발생회로.

【청구항 14】

제10항에 있어서, 상기 전압 분배수단은

상기 액티브 신호가 비활성화되면 상기 내부 전압을 입력하여 출력하고, 상기 액티브 신호가 활성화되면 상기 내부 전압을 분배하여 상기 내부 전압이 목표 전압내에 있으

면 상기 기준 전압보다 낮은 상기 분배된 전압을 발생하고, 상기 내부 전압이 상기 목표 전압을 벗어나면 상기 기준 전압보다 높은 상기 분배된 전압을 발생하는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 15】**

제14항에 있어서, 상기 전압 분배수단은

상기 내부 전압과 제1노드에 연결된 제1부하;

상기 제1노드와 제2노드사이에 연결된 제2부하; 및

상기 제2노드에 연결된 드레인과 상기 액티브 신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 스위칭 트랜지스터를 구비하고,

상기 제1노드를 통하여 상기 분배된 전압을 발생하는 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 16】**

제15항에 있어서, 상기 스위칭 트랜지스터는

NMOS트랜지스터로 구성된 것을 특징으로 하는 내부 전압 발생회로.

**【청구항 17】**

제10항에 있어서, 상기 제2비교수단은

상기 액티브 신호가 비활성화되면 상기 제2구동 신호를 비활성화하고, 상기 액티브 신호가 활성화되면 상기 기준 전압과 상기 분배된 전압을 비교하여 상기 분배된 전압이 상기 기준 전압보다 낮으면 상기 제2구동 신호를 활성화하고, 상기 분배된 전압이 상기

기준 전압보다 높으면 상기 제2구동 신호를 비활성화하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 18】

제17항에 있어서, 상기 제2비교수단은

상기 액티브 신호를 반전하여 반전 액티브 신호를 발생하는 제1인버터;

상기 반전 액티브 신호에 응답하여 상기 제2구동 신호를 비활성화하는 스위칭 트랜지스터; 및

상기 기준 전압과 상기 제1노드의 전압을 비교하여 상기 제1노드의 전압이 상기 기준 전압보다 낮으면 상기 제2구동 신호를 활성화하고, 상기 제1노드의 전압이 상기 기준 전압보다 높으면 상기 제2구동 신호를 비활성화하는 비교기를 구비하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 19】

제18항에 있어서, 상기 스위칭 트랜지스터는

상기 반전 액티브 신호가 인가되는 게이트와 접지전압에 연결된 소스와 상기 제2구동 신호를 발생하는 드레인을 가진 NMOS트랜지스터인 것을 특징으로 하는 내부 전압 발생회로.

【청구항 20】

기준 전압과 비교 전압을 비교하여 제1구동 신호를 출력하는 비교수단;

상기 제1구동 신호에 응답하여 내부 전압을 출력하는 내부 전압 구동수단; 및

정상 드라이빙 동작시에는 상기 내부 전압을 입력하여 상기 비교 전압을 발생하고, 오버 드라이빙 동작시에는 액티브 신호에 응답하여 상기 내부 전압을 분배하여 분배된 내부 전압을 상기 비교 전압으로 발생하는 전압 분배수단을 포함하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 21】

제20항에 있어서, 상기 내부 전압 구동수단은

PMOS트랜지스터로 구성되는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 22】

제20항에 있어서, 상기 액티브 신호는

소정의 펄스폭을 가진 펄스 신호임을 특징으로 하는 내부 전압 발생회로.

【청구항 23】

제20항에 있어서, 상기 전압 분배수단은

상기 액티브 신호가 비활성화되면 상기 내부 전압을 입력하여 상기 비교 전압으로 출력하고, 상기 액티브 신호가 활성화되면 상기 내부 전압을 분배하여 상기 내부 전압이 목표 전압내에 있으면 상기 기준 전압보다 낮은 상기 분배된 전압을 발생하고, 상기 내부 전압이 상기 목표 전압을 벗어나면 상기 기준 전압보다 높은 상기 분배된 전압을 발생하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 24】

제23항에 있어서, 상기 전압 분배수단은

상기 내부 전압과 제1노드에 연결된 제1부하;

상기 제1노드와 제2노드사이에 연결된 제2부하; 및

상기 제2노드에 연결된 드레인과 상기 액티브 신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 스위칭 트랜지스터를 구비하고,

상기 제1노드를 통하여 상기 분배된 전압을 발생하는 것을 특징으로 하는 내부 전압 발생회로.

【청구항 25】

제24항에 있어서, 상기 스위칭 트랜지스터는

NMOS트랜지스터인 것을 특징으로 하는 내부 전압 발생회로.

【청구항 26】

외부 전압을 수신하여 내부 전압을 발생하는 내부 전압 발생방법에 있어서,

기준 전압과 상기 내부 전압을 비교하여 제1구동 신호를 발생하는 제1구동 신호 발생단계;

상기 제1구동 신호에 응답하여 상기 내부 전압을 출력하는 내부 전압 출력단계;

액티브 신호의 활성화동안 상기 내부 전압을 감지하여 제2구동 신호를 출력하는 내부 전압 감지단계;

상기 제2구동 신호에 응답하여 상기 제1구동 신호를 제어하는 제1구동 신호 제어단계를 포함하는 것을 특징으로 하는 내부 전압 발생방법.

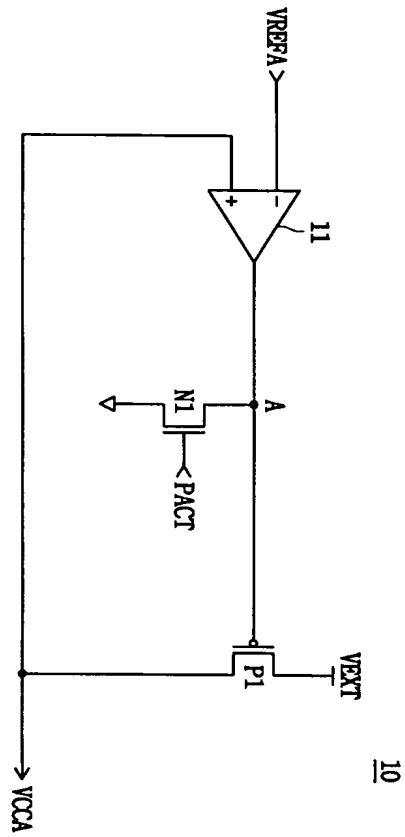
【청구항 27】

제26항에 있어서, 상기 내부 전압 감지단계는

상기 액티브 신호가 비활성화되면 상기 제2구동 신호를 비활성화하고, 상기 액티브 신호가 활성화되고 상기 내부 전압이 목표 전압내에 있으면 상기 제2구동 신호를 활성화하고, 상기 내부 전압이 목표 전압을 넘어서면 상기 제2구동 신호를 비활성화하는 것을 특징으로 하는 내부 전압 발생방법.

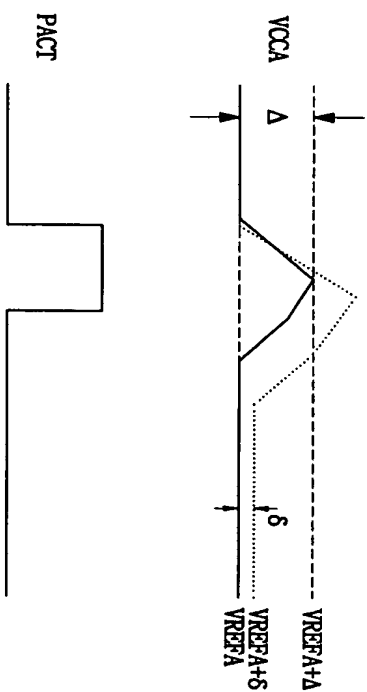
【도면】

【도 1】

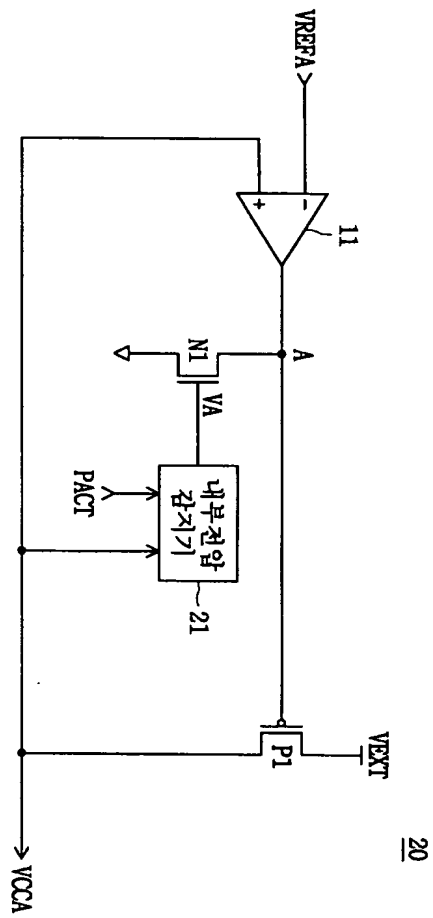




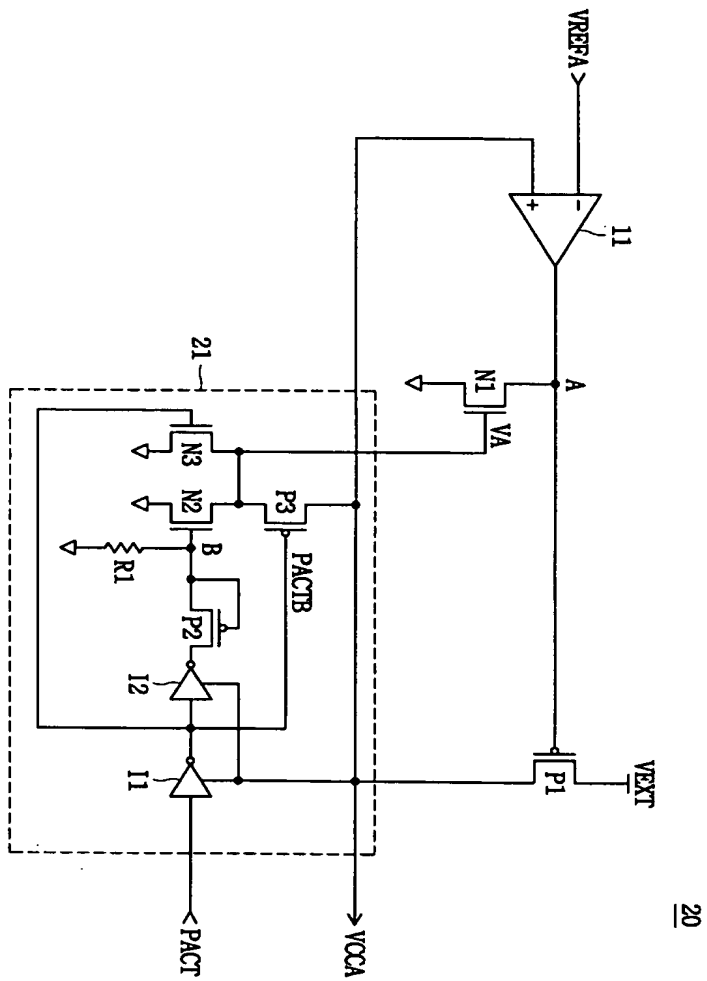
【도 2】



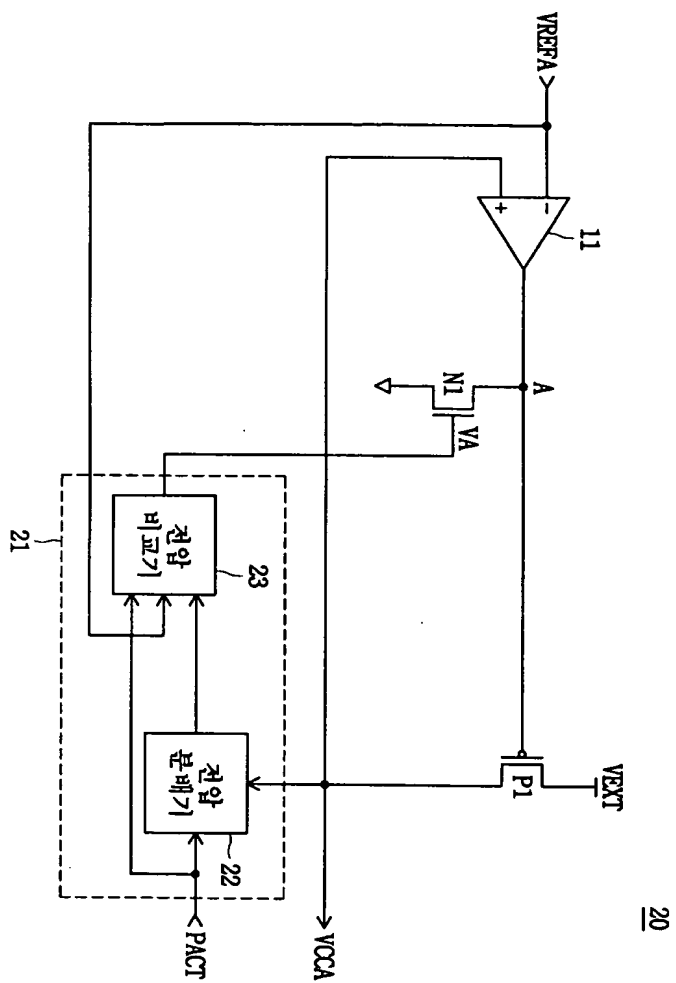
【도 3】



【도 4】

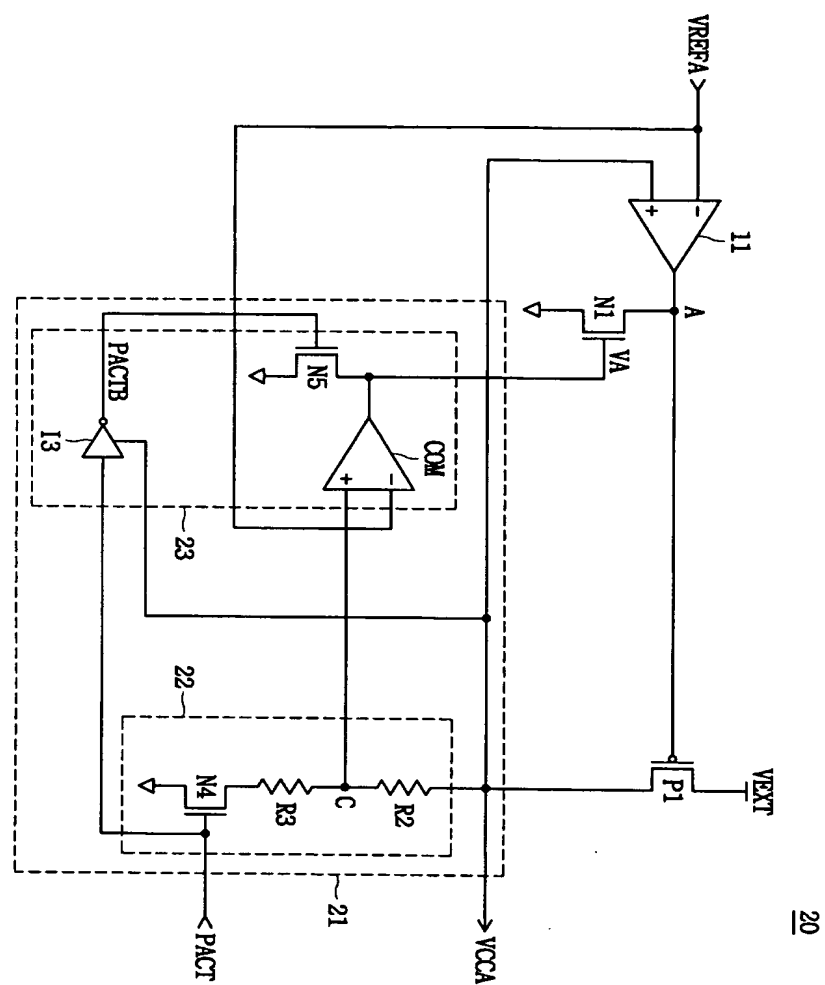


【도 5】

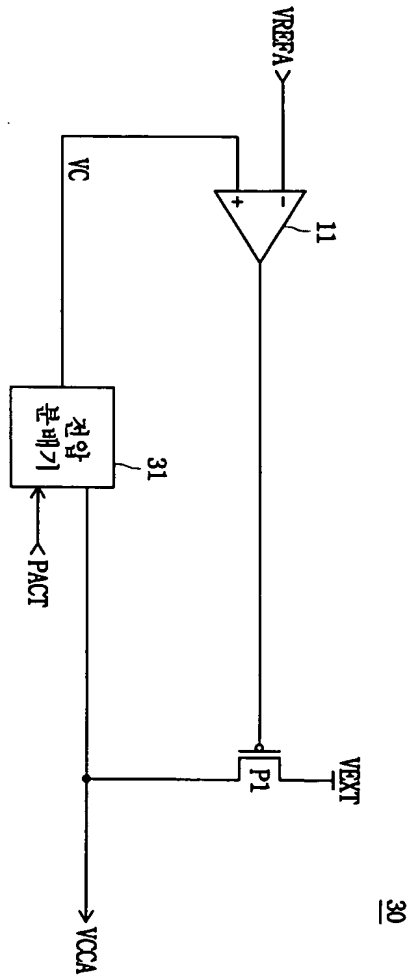


20

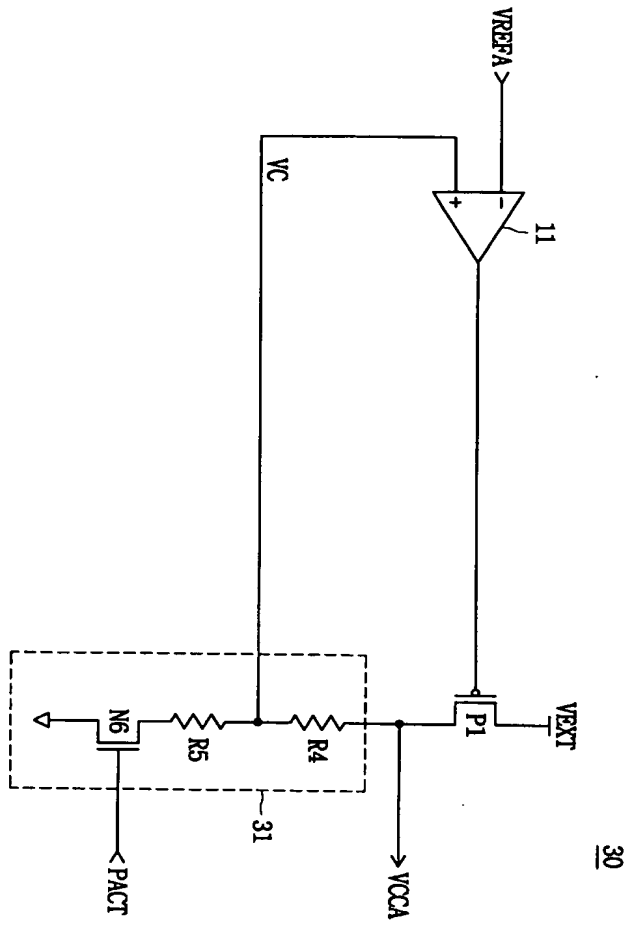
【도 6】



【도 7】



【도 8】



【도 9】

